

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-039887
 (43)Date of publication of application : 12.02.1999

(51)Int.Cl.	G11C 16/02 G11C 16/04
-------------	--------------------------

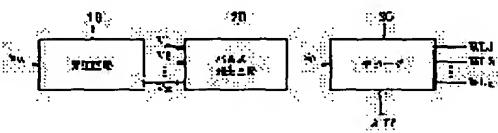
(21)Application number : 09-188733	(71)Applicant : SONY CORP
(22)Date of filing : 14.07.1997	(72)Inventor : SUGIYAMA HISANOBU

(54) NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enable shortening of the write time and erase time by providing a control means which is setting the first voltage of the write or erase signal pulses to the initial voltage having the first width and then sequentially setting the second and subsequent voltages larger than the initial voltage having the width narrower than the first width.

SOLUTION: A pulse generating circuit 20 outputs a pulse signal Sp having different voltage levels of the predetermined width depending on the voltages V1 to Vm generated by a voltage boosting circuit 10 of a write circuit using the power source voltage Vcc. A decoder 30 selects one word line among the word lines WL1 to WL_n depending on an input address signal ADR and impresses a pulse signal Sp to write or erase the data to/from the memory cell connected. A write circuit sets the second and subsequent voltage levels which become gradually larger having the width as short as 2 μ s. Thereby, high speed writing and erasing can be conducted.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(附+要約+請求の範囲)

(19)【発行国】日本国特許庁(JP)
 (12)【公報種別】公開特許公報(A)
 (11)【公開番号】特開平11-39887
 (43)【公開日】平成11年(1999)2月12日
 (54)【発明の名称】不揮発性半導体記憶装置
 (51)【国際特許分類第6版】

G11C 16/02

16/04

[F1]

G11C 17/00 611 E
 612 E
 622 E

[審査請求]未請求

[請求項の数]15

[出願形態]OL

[全員数]8

(21)【出願番号】特願平9-188733

(22)【出願日】平成9年(1997)7月14日

(71)【出願人】

【識別番号】000002185

【氏名又は名称】ソニー株式会社

【住所又は居所】東京都品川区北品川6丁目7番35号

(72)【発明者】

【氏名】杉山 審伸

【住所又は居所】東京都品川区北品川6丁目7番35号

(74)【代理人】

【弁理士】

【氏名又は名称】佐藤 隆久

(5)【要約】

【課題】書き込みおよび消去時間を短縮でき、書き込みおよび消去スピードの向上を実現できる不揮発性半導体記憶装置を提供する。
 【解決手段】書き込み時に書き込み対象メモリセルに一回目が幅の長い書き込みパルスを印加し、2回目以降の書き込みにおいて、一回目より電圧レベルが大きく、幅が短い書き込みパルスを印加する。書き込みパルス印加後しきい値電圧の検証を行い、メモリセルのしきい値電圧V_Hを検出し、所定の書き込みレベルV_Hに達したか否かを判定し、判定結果に応じて書き込み終了または続行を決定する。これにより、メモリ全体の書き込みおよび消去時間を短縮でき、従来のISPP法による書き込みに較べて、さらに高速な書き込みおよび消去を実現できる。

【特許請求の範囲】
 【請求項1】複数のパルスからなる書き込みまたは消去信号を印加し、電荷蓄積層に対して電荷の授受を行うことにより、しきい値電圧を制御し、しきい値電圧に応じた情報を探査する記憶素子を有する不揮発性半導体記憶装置であつて、上記書き込みまたは消去信号における一回目のパルスの電圧を初期電圧レベル、パルス幅を第1の幅にそれぞれ設定し、2回目以降のパルスの電

压を上記初期電圧レベルよりも大きく、パルス幅を上記第1の幅より短く設定する制御手段を有する不揮発性半導体記憶装置。

【請求項2】各パルス印加後、上記記憶素子のしきい値電圧を検出し、当該しきい値電圧を所定のレベルに達したか否かを検査する検査手段を有する請求項1記載の不揮発性半導体記憶装置。
 【請求項3】上記制御手段は、上記検査手段により上記記憶素子のしきい値電圧が上記所定のレベルに達したと判定したとき、上記パルスの印加を終了させ、上記しきい値電圧が上記所定のレベルに達していないとき、次回のパルス印加を行う請求項1記載の不揮発性半導体記憶装置。
 【請求項4】上記制御手段は、上記2回目以降の各パルスの幅を同じ幅に設定する請求項1記載の不揮発性半導体記憶装置。
 【請求項5】上記制御手段は、上記2回目のパルスから、第2の幅を持つパルスを所定の回数において生成し、上記所定の回数以降、上記第2の幅に短い第3の幅を持つパルスを生成する請求項1記載の不揮発性半導体記憶装置。

詳細な説明

【発明の詳細な説明】

[0001] 【発明の属する技術分野】本発明は、不揮発性半導体記憶装置、特にISPP(Incremental Step Pulse Programming)により書き込みおよび消去を行う不揮発性半導体記憶装置に関するものである。

【0002】

【従来の技術】フローティングゲートを有するメモリセルは、図5の簡略断面図に示すように、例えば、シリコン(Si)により構成される半導体基板(またはウェル)1、基板上に形成されているソース抵抗層2、ドレン層3、ドレンイングゲート5およびコントロールゲート7により構成され、あるいは、基板1との間に、例えば、シリコン酸化膜(SiO₂)により構成されているゲート絶縁膜4が形成されている。さらに、層間絶縁膜6は、例えば、ゲート絶縁膜4と同様に、シリコン酸化膜により構成され、さらに、酸化膜と塗化膜、また、酸化膜、塗化膜、酸化膜を順次成層して構成された、いわゆるONO膜により構成することもできる。

[0003] フローティングゲート5およびコントロールゲート7の両端に、図示していないサイドウォールが形成されているので、フローティングゲート5は、周囲と電気的に絶縁状態に保持される。このため、フローティングゲート5に向らかの手段により注入した電荷(電子)がほぼ永久的に保持される。

[0004] 一般的に、フローティングゲート5への電子の注入またはフローティングゲート5から電子の放出は、コントロールゲート7、ソース抵抗層2、ドレン抵抗層3および基板1に所定のバイアス電圧を印加することにより実現される。例えば、基板1を基準電位、例えば、接地電位GNDに保持し、コントロールゲート7に高電圧を印加することにより、ゲート絶縁膜4において、フローティングゲート5から基板1に向かって強い電界が生じる。このため、トンネル酸化膜にトンネル電流が流れれる。この電流がFN(Fowler-Nordheim)電流と呼ばれる。FN電流を利用してフローティングゲート5に電子を注入する、または、フローティングゲート5から電子を放出させることをFNトンネリングという。このため、ゲート絶縁膜4は、トンネル絶縁膜、あるいはトンネル酸化膜とも呼ばれる。

[0005] 上述したバイアス状況において、FNトンネリングにより、基板1にある電子の一部分がゲート絶縁膜4を通して、フローティングゲート5に注入される。注入された電子がバイアス電圧が解除した後もフローティングゲート5に蓄積されたままとなる。フローティングゲート5に電子が注入され、蓄積されている場合に、メモリセルのしきい値電圧_{th}が上昇する。

[0006] また、メモリセルを逆のバイアス状態に保持することにより、フローティングゲート7を低い電位、例えば、接地電位GNDに保持し、基板1に高電圧を印加することにより、フローティングゲート5に電子を放出させる。これによって、フローティングゲート5の蓄積電荷量が減少し、メモリセルのしきい値電圧_{th}が降下する。

[0007] 一般的に電子の注入または放出は、コントロールゲート7または基板1、あるいはウェルに書き込みバ尔斯または消去バ尔斯を印加することにより実現される。以下、図6に示すNAND型フラッシュメモリの書き込み動作について説明する。なお、図6は、NAND型フラッシュメモリの一部分のメモリセルのみを示しており、実際のメモリセルアレイは、このよう複数列のメモリセルにより、マトリックス状なメモリセルアレイが構成されている。

[0008] 図示のように、例えば、8個のメモリセルM1, M2, …, M8が選択トランジスタS1, S2を介してビット線BLjとソース線SLjの間に直列に接続される。選択トランジスタS1, S2のゲートはそれぞれ選択信号SG1, SG2に接続され、これら選択信号線に印加されている選択信号のレベルに応じてオン／オフ状態が制御される。メモリセルM1, M2, …, M8のコントロールゲートがそれぞれワード線WL1, WL2, …, WL8に接続されている。なお、ワード線WL1, WL2, …, WL8には、図示したメモリセルM1, M2, …, M8以外に、他のメモリセル列にあるメモリセルも接続されている。

[0009] 通常、NAND型フラッシュメモリの書き込みは、ワード線単位で行う。即ち、1本のワード線に連なる複数のメモリセルに対して同時に行われる。例えば、図7に示すように、幅20μs(マイクロ秒)程度の同じ電圧の書き込み、バ尔斯をしきい値電圧V_{th}の検証(Verify)を行ながら、繰り返し印加し続ける。そして、所定の書き込みレベルまでしきい値電圧V_{th}が上昇したとき、ワード線上の全てのメモリセルから書き込み禁止状態に設定し、ワード線上の全てのメモリセルが書き込まれた時点、即ち、ワード線上の全てのメモリセルが終了する。

[0010] この方法では、必然的に書き込みスピードは、ワード線上に最も書き込みスピードの速いメモリセルにより決定されることになる。最も遅いメモリセルに対して早く書き込みを行おうとした場合に、書き込みバ尔斯電圧を高くするか、もしくは、書き込みバ尔斯幅を長くして、書き込み一検証のサイクル数を少なくするといった方法が考えられる。

[0011] しかし、このようにすると、書き込みの速いメモリセルが一発の書き込みバルスでしきい値電圧V_{th}が最大許容値より高く設定されてしまう可能性が生じてくるので、書き込みバルスの設定にも制限が生じる。よつて、通常の書き込みバルスの設定では、書き込みの速いメモリセルと遅いメモリセルが両方ともしきい値電圧の許容範囲に入るよう、最も早く書き込みめる条件が決定される。

[0012] この方法に対し、書き込みの速いメモリセルと遅いメモリセルの両方に対して、最も遅な書き込みバ尔斯を印加するようにし、書き込みスピードの向上を図る。これを利用するために、ISPP法では、通常の方法では同じ電圧の書き込みバ尔斯を各印加サイクル毎に上げていく方法である。この方法に対する書き込みの速いメモリセルは、初期の書き込みスピード電圧の低い間に書き込まれるので、過剰に書き込まれることが防止できる。また、遅いメモリセルに対しては、バ尔斯印加毎にバ尔斯電圧が上がっていいくので、同じ電圧の書き込みバ尔斯を印加し続けることにより早く書き込みを完了させることができとなる。

[0013] 図9は從来の書き込みバ尔斯による書き込み特性を示している。図示のように、従来の書き込み方法では、書き込み時間において、メモリセルのしきい値電圧の上昇が遮和していく。それに対して、図10に示したISPP法による書き込み特性では、ある一定の時間後、メモリセルのしきい値電圧がほぼ直線的に上昇しており、この差が書き込みスピードに影響を及ぼすことがいうまでもない。

[0014] 【問題を解決するための手段】上記目的を達成するため、本発明の不揮発性半導体記憶装置は、発明が解決しようとする課題】ところで、上述したISPP法では、書き込み時間に応じて書き込みバ尔斯の電圧を上げていく手段により書き込み全体の書き込みスピードの向上が図れるが、書き込みスピードの上昇には限度があるという不利益がある。将来の不揮発性半導体記憶装置のアクリケーションの多様化などを考慮すると、さらに書き込みスピードの向上が必要である。

[0015] 本発明は、かかる事情に鑑みてなされたものであり、その目的は、ISPP法を用いてメモリセルに対して書き込みおよび消去を行う不揮発性半導体記憶装置において、書き込み方法をさらに改良することによって、記憶装置全体の書き込み時間および消費時間をさらに短縮でき、および消去スピードの向上を実現できる不揮発性半導体記憶装置を提供することにある。

[0016] 【問題を解決するための手段】上記目的を達成するため、本発明の不揮発性半導体記憶装置は、複数のバ尔斯からなる書き込みまたは消去信号を印加し、電荷蓄積層に対する電荷の授受を行なうことにより、しきい値電圧を制御し、しきい値電圧を応じた情報保持する記憶素子を有する不揮発性半導体記憶装置において、上記書き込みまたは消去信号における一回目のバ尔斯の電圧を初期電圧レベル、バ尔斯幅を第1の幅にそれ設定し、2回目以降のバ尔斯の電圧を上記初期電圧レベルより大きく、バ尔斯幅を上記第1の幅より短く設定する制御手段を有する。

[0017] また、本発明では、好適には各バ尔斯印加後、上記記憶素子のしきい値電圧を検出し、当該しきい値電圧を所定のレベルに達したか否かを検証する検証手段を有し、上記制御手段は、上記検証手段により上記記憶素子のしきい値電圧が上記所定のレベルに達したと判定したとき、上記バ尔斯の印加を終了させ、上記しきい値電圧が上記所定のレベルに達していないとき、次回のバ尔斯印加を行う。

[0018] さらに、本発明では、上記2回目以後、第2の幅を持つバ尔斯を所定の回数において生成し、上記所定の回数以後、上記2回目のバ尔斯から、第3の幅を持つバ尔斯を生成する。

〔0019〕本発明によれば、複数のパルスからなる書き込みまたは消去信号を不揮発性メモリセルに印加することにより、書き込みまたは消去が行われる。書き込みおよび消去時、一回目のバルスにより設定され、2回目以降のバルス幅により短く設定し、バルス印加毎に電圧レベルを徐々に大きく設定することにより、書き込みまたは消去時間の短縮を図り、高速な書き込みおよび消去を行える不揮発性半導体記憶装置を実現できる。

〔0020〕【発明の実施の形態】図1は本発明に係る不揮発性半導体記憶装置の一実施形態を示す図である。本実施形態は、従来のISP-PROMに対しても書き込みが可能な構成である。本実施形態は、高遠な書き込み速度を可能にする不揮発性半導体記憶装置を実現する。具体的には、ISPP法ではなく、印加パルス幅を変えてパルス電圧のみを延伸して書き込むことに対応して、本実施形態で、パルスの電圧のみではなく、パルス幅も変化させることにより、書き込み初期に印加するパルス幅を長く設定し、その後のパルス幅を短く設定する方法が取られる。

[0021] 図11に示すように、本実施形態においては、例えば、不揮発性半導体記憶装置の周辺回路に設けられているリルス発生回路によって、パルス印加毎に幅および電圧がともに変化するバルスを書き込み対象となる選択メモリ行のワード線に印加することによって、高速

[0023]図2は、本実施形態における書き込み回路の一構成例を示す回路図である。図示のよう
に、本例のパルス発生回路は、昇圧回路10、昇圧回路10、パルス発生回路20およびテコータ30により構成
される。[0023]昇圧回路10は、電源電圧 V_{CC} を動作電源電圧として、電源電圧 V_{CC} と異なるレベルを有
する複数の電圧 V_1, V_2, \dots, V_m を供給する。昇圧回路10からの複数の電圧にて、それぞれ異なる電圧レベルを持つ、所定の幅を有
するパルス信号 S_p を発生し、テコータ30に供給する。テコータ30は、外部から入力されたアド
レス信号 ADR_i に応じて、複数のワード線 WL_1, WL_2, \dots, WL_n の内一つの選択し、選択したワ
ード線にパルス発生回路20にシリアル通信パルス信号 S_c を印加する。

【0004】このように構成された書き込み回路は、上記の各回路に接続される。また、各回路は、上記の各回路に接続される。

[0025]書き込み開始後、図2に示す書き込み回路によって最初に幅 T_{PW1} 、電圧 V_{W1} の書き込みパルス S_{P1} が発生される。一回目の書き込み後、検証時間 T_V において、一回面のバルス印加によりメモリセルのしきい電圧 V_{th} が検出され、所定の書き込みレベルに達したか否かを判定する。メモリセルのしきい電圧 V_{th} が所定の書き込みレベルに達したと判定されたとき、メモリセルのこのレベルの書き込みを終了する。逆にしきい電圧 V_{th} が所定の書き込みレベルに達していない

い場合に、引き続きたび2回目の書き込みが行われる。

自のと同様に、検証時間 T_V において、メモリセルのしきい電圧 V_{th} が後出され、所定の書き込みレベルに達したか否かを判定する。メモリセルのしきい電圧 V_{th} が所定の書き込みレベルに達したとき、 T_V を判定されたり、 T_V 以後の書き込み操作に対する影響を抑止する。

【0027】なお、一回目の書き込みバルスの幅TPW1は、例えば、500psに設定され、2回目以降のレベルに達しない場合に、引き続き3回目の書き込みが行われる。

書き込みパルスの幅 T_{PW2} は、例えば、 $2\mu s$ に設定される。また、2回目以降に発生された各書き込みパルスの幅を、2回目の書き込みパルス幅と同じ T_{PW2} とする。

図3は、ISPP法による書き込み特性を示している。図3は、例えば、一回目の書き込み [0028] の電圧、即ち、初期電圧 V_{ppm} は $14.5V$ 、各回のパルスのステップアップ電圧 $\Delta V = 0.5V$ の条件で、ISPP法により書き込みを行った場合に、各書き込みパルス印加回数に

対して、メモリセルのしきい値電圧 V_{th} の変化を示している。これによると、ISPP法による書き込みにおいて、パルス印加の初期段階では、パルス幅 T_{PW} によりメモリセルのしきい値電圧 V_{th} の立ち上がりに差が生じており、パルス幅 T_{PW} の長い方が一回目の書き込みバルスの印加によるしきい値電圧 V_{th} の上昇分は大きいが、しきい値電圧 V_{th} が、例えば、2Vあたりから、何れのバルス幅 T_{PW} も同じ傾きの直線となり、しきい値電圧 V_{th} の変化がバルス印加回数のみに依存する結果となる。

消去パルスを用いることによつて、不揮発性半導体記憶装置の消去時間を短縮できる。
〔0036〕また、以上の説明では、2回目以降の書き込みまたは消去パルス幅は、全て一定値に設定されているが、本発明は、これに限定されることはなく、例えば、2回目以降の書き込みまたは消去において、パルス幅が徐々に短くしていく、若しくは、一定の回数のパルスを印加した後、それまでのパルス幅よりも短いパルス幅に切り替えるなど、初期のパルス幅よりも後期のパルス幅を短く設定する手段は、同様な効果が得られる。

〔0037〕【発明の効果】以上説明したように、本発明の不揮発性半導体記憶装置によれば、書き込みおよび消去時に、電圧レベルおよび幅がともに変化する書き込みまたは消去パルスを附加することにより、書き込みおよび消去時間と書き込みおよび消去を実現できる利点がある。

図の説明

【図面の簡単な説明】

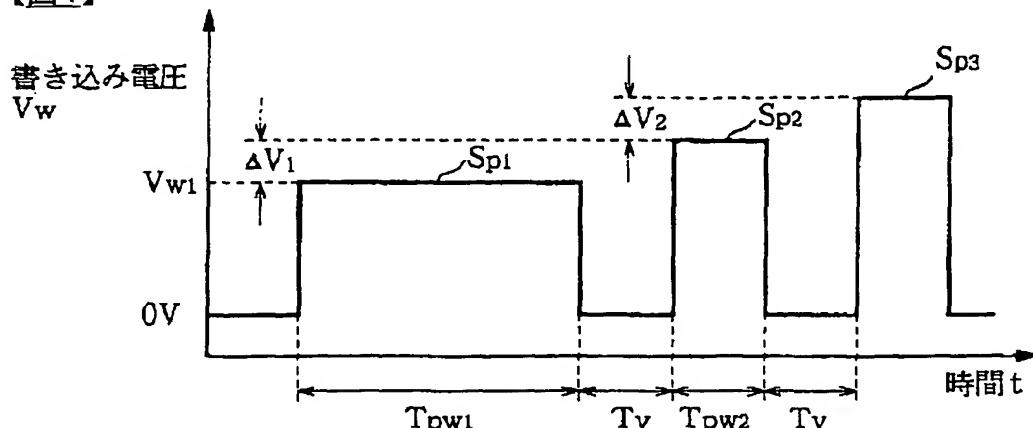
- 【図1】本発明に係る不揮発性半導体記憶装置の一実施形態を示す波形図である。
- 【図2】本発明の書き込み特性を示す図である。
- 【図3】SPP法による書き込み特性を示す図である。
- 【図4】本発明の書き込み方法による書き込み特性を示す図である。
- 【図5】フローティングゲート型不揮発性メモリセルの一構成例を示す断面図である。
- 【図6】NAND型フランジュメモリのメモリセルレイを示す回路図である。
- 【図7】従来の書き込み方法の書き込みパルスの波形を示す波形図である。
- 【図8】SPP法の書き込みパルスの波形を示す波形図である。
- 【図9】従来の書き込み方法の書き込み特性を示す図である。
- 【図10】SPP法の書き込み特性を示す図である。

【符号の説明】

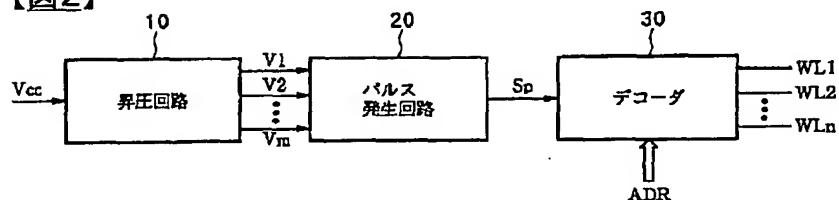
- 1…基板、2…ソース拡散層、3…ドレイン拡散層、4…ゲート絶縁膜、5…フローティングゲート、
6…層間絶縁膜、7…コントロールゲート、10…昇圧回路、20…パルス発生回路、30…データ
ダ、 T_{PW1} 、 T_{PW2} …パルス幅、 WL_1 、 WL_2 、…、 WL_n …ワード線、 BL …ビット線、 SL …ソース
線、 $SG1$ 、 $SG2$ …選択信号線、 $S1$ 、 $S2$ …選択トランジスタ、 V_{CC} …電源電圧、 GND …接地電
位。

図面

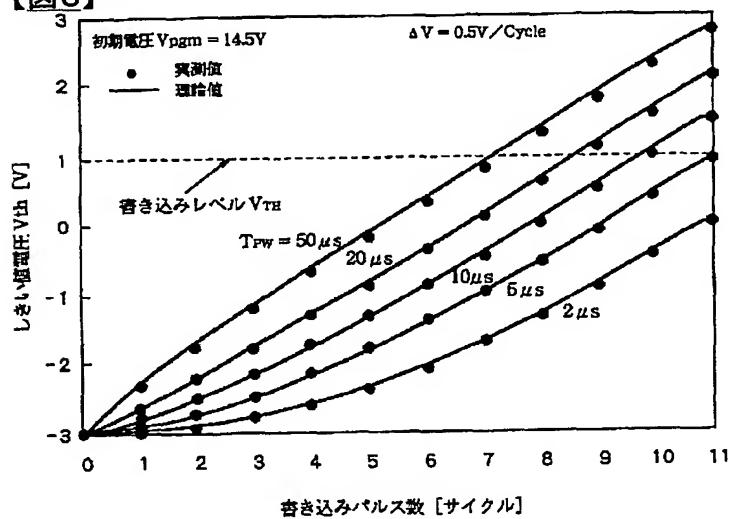
【図1】



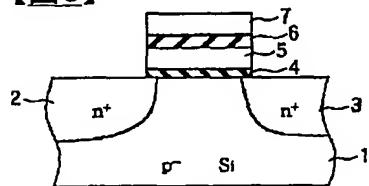
【図2】



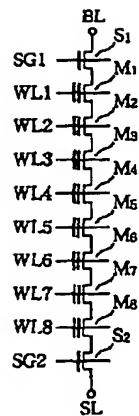
【図3】



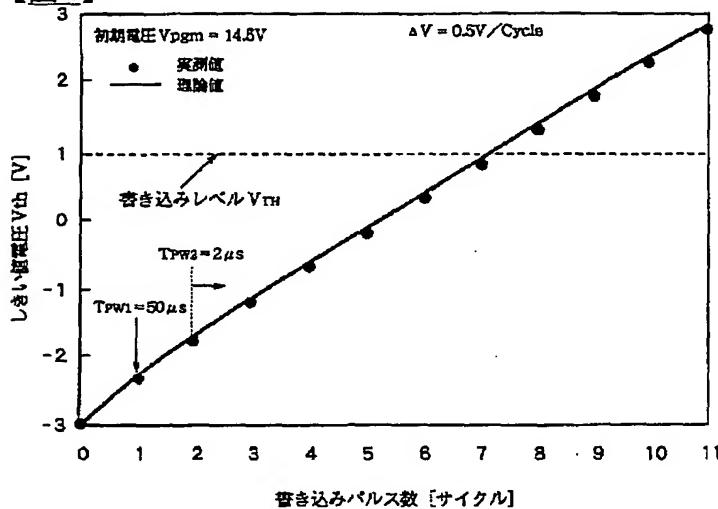
【図5】



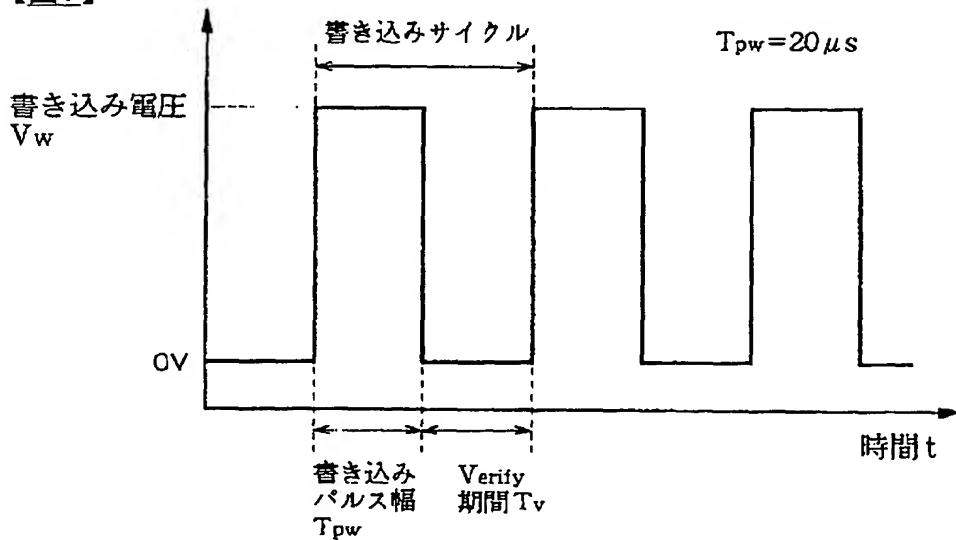
【図6】



【図4】



【図7】



【図8】

